

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

1/9/1  
 DIALOG(R)File 351:Derwent WPI  
 (c) 2001 Derwent Info Ltd. All rts. reserv.

011574614 \*\*Image available\*\*  
 WPI Acc No: 1997-551095/\*199751\*  
 XRPX Acc No: N97-459156

ATM cells transmission method over connection sections - selecting  
 scheduling unit according to criterion representative of cell bit rate  
 and feeding cell from buffer memory to further devices

Patent Assignee: SIEMENS AG (SIEI )

Inventor: WALLMEIER E

Number of Countries: 021 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 19617816	A1	19971113	DE 1017816	A	19960503	199751 B
WO 9742788	A1	19971113	WO 97DE872	A	19970429	199751
EP 896784	A1	19990217	EP 97922890	A	19970429	199912
			WO 97DE872	A	19970429	
JP 11510665	W	19990914	JP 97539425	A	19970429	199948
			WO 97DE872	A	19970429	

Priority Applications: (No Type Date): DE 1017816 A 19960503

Cited Patents: Jnl.Ref; EP 596624; EP 710046

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

DE 19617816 A1 6 H04L-012/56

WO 9742788 A1 G 18 H04Q-011/04

Designated States (National): CA JP US

Designated States (Regional): AT BE CH DE DK ES FI FR GB GR IE IT LU MC  
 NL PT SE

EP 896784 A1 G H04Q-011/04 Based on patent WO 9742788

Designated States (Regional): AT BE CH DE FR GB IT LI NL SE

JP 11510665 W 19 H04L-012/28 Based on patent WO 9742788

Abstract (Basic): DE 19617816 A

The method involves using multiplexers (MUX) and demultiplexer  
 devices (DEMUX) with scheduling units (SB) arranged between them. Each  
 scheduling unit has a buffer memory (P). Several virtual channel  
 numbers and virtual paths are allocated to ATM stream cells.

One scheduling unit is selected after authorisation using a  
 criterion representative of the peak bit rate of the stream of cells.

At least one of the ATM cells is taken from one of the buffer memories  
 and is fed to further devices.

ADVANTAGE - Carries out bit rate limiting process after weighted  
 fair queuing scheduling. Enables cell rates to be optimally adapted to  
 transmission capacity without loss of ATM cells.

Dwg. 2/3

Title Terms: ATM; CELL; TRANSMISSION; METHOD; CONNECT; SECTION; SELECT;  
 SCHEDULE; UNIT; ACCORD; CRITERIA; REPRESENT; CELL; BIT; RATE; FEED; CELL;  
 BUFFER; MEMORY; DEVICE

**THIS PAGE BLANK (USPTO)**



⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 196 17 816 A 1**

⑤① Int. Cl. 8:  
**H 04 L 12/56**

②① Aktenzeichen: 196 17 816.9  
②② Anmeldetag: 3. 5. 96  
②③ Offenlegungstag: 13. 11. 97

DE 196 17 816 A 1

⑦① Anmelder:  
Siemens AG, 80333 München, DE

⑦② Erfinder:  
Wallmeier, Eugen, Dr.rer.nat., 82223 Eichenau, DE

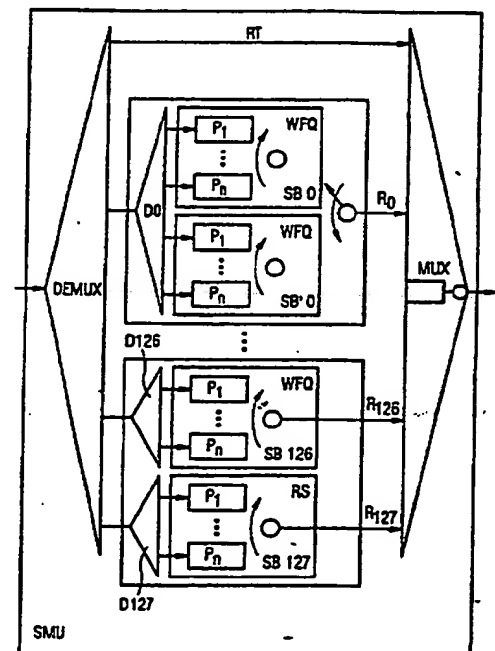
⑤⑤ Entgegenhaltungen:  
DE 40 07 747 A1

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Verfahren zum optimierten Übertragen von ATM-Zellen über Verbindungsabschnitte

⑤⑦ Verfahren zum optimierten Übertragen von ATM-Zellen über Verbindungsabschnitte.

Beim Stand der Technik kann die Verwendung des WEIGHTED FAIR QUEUEING SCHEDULING - Verfahrens zum Verlust von ATM-Zellen führen. Das erfindungsgemäße Verfahren schafft hier Abhilfe, indem nach dem WEIGHTED FAIR QUEUEING SCHEDULING - Verfahren behandelte ATM-Zellen in einer weiteren Verfahrensstufe einer Spitzenbitratenbegrenzung unterworfen werden.



DE 196 17 816 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 09. 97 702 046/125

6/22

Die Erfindung betrifft ein Verfahren gemäß dem Oberbegriff des Patentanspruchs 1.

Bei zeitgemäßen ATM-Systemen werden Informationen in Zellen übertragen. Diese weisen einen Kopfteil sowie einen Informationsteil auf. Im Kopfteil sind die Verbindungsinformationen und im Informationsteil die zu übertragenden Nutzdaten abgespeichert. Die eigentliche Übertragung erfolgt in der Regel über Verbindungsabschnitte zwischen Sender und Empfänger. Dabei besteht gegebenenfalls das Erfordernis, die Verbindungsabschnitte derart auszunutzen, daß eine Mehrzahl von Sendeeinrichtungen die von diesen ausgehenden Zellenströme über denselben Verbindungsabschnitt übertragen.

Um die Übertragung der jeweiligen Zellenströme entsprechend den Erfordernissen der einzelnen Zellenströme durchführen zu können, haben sich beim Stand der Technik sogenannte Scheduling-Verfahren durchgesetzt. Dabei werden die ATM-Zellen in einer bestimmten Reihenfolge aus den Pufferspeichern einer Schedulingeinrichtung ausgelesen. Als Beispiel für ein derartiges Scheduling-Verfahren sei das WEIGHTED FAIR QUEUEING SCHEDULING-Verfahren erwähnt. Die entsprechenden Verhältnisse sind beispielsweise in der Druckschrift "Virtual Spacing for Flexible Traffic Control", J.W. Roberts, International Journal of Communication Systems, Vol. 7, 307—318 (1994) aufgezeigt. Dabei werden den einzelnen Zellenströmen unterschiedliche Gewichtungsfaktoren zugewiesen, mit denen der eigentliche Übertragungsvorgang auf den einzelnen Verbindungsabschnitten gesteuert wird. Zum besseren Verständnis sei auf Fig. 3 verwiesen.

Dort sind beispielhaft Zellenströme 1 ... n offenbart. Die n Zellenströme werden von einer Sendeeinrichtung DEMUX in Richtung eines oder mehrerer Empfänger geleitet. In der Praxis wird dabei lediglich ein gemeinsamer Verbindungsabschnitt benutzt. Den n Zellenströmen sind weiterhin Gewichtungsfaktoren  $r_1 \dots r_n$  zugewiesen. Zum einfachen Verständnis sei angenommen, daß lediglich zwei Zellenströme, nämlich die Zellenströme 1, 2 über ein Verbindungsabschnitt geführt werden sollen. Der Verbindungsabschnitt soll weiterhin eine maximale Übertragungskapazität von 150 Mbit/sec aufweisen. Beiden Zellenströmen 1 und 2 sind Gewichtungen  $r_1 = 2$  sowie  $r_2 = 1$  zugewiesen. Damit wird erreicht, daß Zellenstrom 1 mit einer Übertragungsrate von 100 Mbit/sec und Zellenstrom 2 mit lediglich 50 Mbit/sec übertragen wird, falls Zellen zur Übertragung anstehen.

Problematisch an einer derartigen Vorgehensweise ist, daß viele der Scheduling-Verfahren wie beispielsweise das soeben erläuterte WEIGHTED FAIR QUEUEING SCHEDULING-Verfahren keine Spitzenbitratenbegrenzung auf den nachfolgenden Verbindungsabschnitten sicherstellen können. Um einer möglichen Überlastung vorzubeugen, werden dann ATM-Zellen verworfen. Obwohl dies ist im Einzelfall durchaus tolerierbar ist (z. B. Telefonie), sollte eine derartige Vorgehensweise vermieden werden, da hiermit immer ein Verlust an Daten verbunden ist.

Der Erfindung liegt die Aufgabe zugrunde, einen Weg aufzuzeigen, wie die Zellraten an die Übertragungskapazität der Verbindungsabschnitte optimal angepaßt werden ohne dabei den Verlust von ATM-Zellen in Kauf nehmen zu müssen.

Die Erfindung wird, ausgehend von den im Oberbe-

griff des Patentanspruchs 1 angegebenen Merkmalen durch die Merkmale des kennzeichnenden Teils gelöst.

Vorteilhaft an der Erfindung ist insbesondere die Verwendung eines zweistufigen Verfahrens, das hintereinander zum Ablauf gelangt. Dabei werden im erstem Verfahrensschritt des zweistufigen Verfahrens die Schedulingeinrichtungen ausgewählt, die ATM-Zellen als Warteschlangen in ihren Pufferspeichern aufgenommen haben. Im zweiten Verfahrensschritt wird dann einer dieser Pufferspeicher ausgewählt und wenigstens eine der ATM-Zellen ausgelesen und übertragen. Vorteilhaft daran ist insbesondere, daß durch den ersten Verfahrensschritt eine Spitzenbitratenbegrenzung eines ATM-Zellenstromes mit einer oder mehreren virtuellen Kanalnummern durchgeführt wird. Weiterhin ist dieser Verfahrensschritt unabhängig von den im zweiten Verfahrensschritt verwendeten Schedulingverfahren.

Weitere Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Die Erfindung wird im folgenden anhand eines Ausführungsbeispiels näher erläutert.

Es zeigen:

Fig. 1 ein Vermittlungssystem, auf dem das erfindungsgemäße Verfahren zum Ablauf gelangen soll,

Fig. 2 eine spezielle Ausführungsform des erfindungsgemäßen Verfahrens,

Fig. 3 der Stand der Technik, von dem die Erfindung ausgeht.

In Fig. 1 ist ein Vermittlungssystem aufgezeigt, auf dem das erfindungsgemäße Verfahren zum Ablauf gelangen soll. Hier sind jeweils eingangsseitig und ausgangsseitig Multiplexeinrichtungen M aufgezeigt, wobei die ausgangsseitigen Multiplexeinrichtungen M mit Schnittstellenanpassungseinheiten LIC verbunden sind. Weiterhin sind statistische Multiplexeinrichtungen SMU aufgezeigt, in denen Schedulingverfahren zum Ablauf gelangen. Diese Verfahren sind hier mit den Buchstaben A, B, C, D angedeutet. Weiterhin ist eine Übertragungsleitung E aufgezeigt, an die eingangsseitig über die statistische Multiplexeinrichtung SMU eine Mehrzahl von Scheduling-Einrichtungen angeschlossen ist. Ausgangsseitig ist die Verbindungsleitung E mit der ausgangsseitigen Multiplexeinrichtung M an die Schnittstellenanpassungseinheiten LIC angeschlossen. Die Verbindungsleitung E sowie die Schnittstellenanpassungseinheiten LIC sind innerhalb des Vermittlungssystem im Hinblick auf die Übertragungskapazität als kritisch einzustufen. Ohne besondere Maßnahmen müßten ATM-Zellen verworfen werden, um die maximale Spitzenbitrate auf dem Übertragungsabschnitt E einhalten zu können.

In Fig. 2 ist die statistische Multiplexeinrichtung SMU näher dargestellt, die in Fig. 1 an die ausgangsseitige Multiplexeinrichtung M herangeführt ist. Die über einen Verbindungsabschnitt ankommenden ATM-Zellen werden der Demultiplexeinrichtung DEMUX zugeführt. Diese verteilt die ATM-Zellen über weitere Demultiplexeinrichtungen D0 ... D127 verbindungsindividuell an Pufferspeicher P1 ... Pn der Schedulingeinrichtungen SB0 ... SB127. Die Pufferspeicher sind dabei als FIFO-Speicher ausgebildet.

In vorliegendem Ausführungsbeispiel werden die ATM-Zellen nach einem bekannten Schedulingverfahren aus den Pufferspeichern ausgelesen. In den Schedulingeinrichtungen SB0 ... SB126 soll das bekannte WEIGHTED FAIR QUEUEING SCHEDULING-Verfahren WFQ verwendet werden. Auch andere Verfahren sind jedoch möglich, beispielhaft sei hierzu die Sche-

dulereinrichtung SB127 aufgezeigt. Hier wird ein modifiziertes WEIGHTED FAIR QUEUEING SCHEDULING-Verfahren RS (RATE SHAPING Verfahren) angewendet. Diese bekannten Verfahren bilden die zweite Stufe des zweistufigen Verfahrens. Sie sind ferner unabhängig von der ersten Stufe. Insofern kann hier jedes beliebige Schedulingverfahren zum Ablauf gelangen.

Bei der Verwendung des WEIGHTED FAIR QUEUEING SCHEDULING-Verfahrens WFQ werden den ATM-Zellen wie eingangs beschrieben unterschiedliche Gewichtungsfaktoren  $r_i$  zugewiesen. Mit Hilfe dieser Gewichtungsfaktoren werden die ATM-Zellen später in bekannter Weise ausgelesen und übertragen.

Die erste Stufe des zweistufigen erfindungsgemäßen Verfahrens gelangt auf der Multiplexeinrichtung MUX zum Ablauf. Hier werden den einzelnen Schedulingeinrichtungen  $R_0 \dots R_{127}$  Faktoren  $R_0 \dots R_{127}$  zugewiesen. Dabei handelt es sich um die Bitrate des Pfades bzw. der Verbindungsleitung, die von der entsprechenden Schedulingeinrichtung gespeist wird. Der Faktor  $R$  ist weiterhin beliebig einstellbar. Dadurch läßt sich die Spitzenbitrate auf dem sich anschließenden Übertragungsabschnitt begrenzen, womit ein Verwerfen von ATM-Zellen unterbleibt.

Zunächst wird also eine der Schedulingeinrichtungen  $SB_0 \dots SB_{127}$  gemäß der ersten Stufe des zweistufigen Verfahrens ausgewählt. Dies soll in vorliegendem Ausführungsbeispiel die Schedulingeinrichtung  $SB_0$  sein. Im folgenden wird dann durch den Ablauf der zweiten Stufe des zweistufigen Verfahrens der entsprechende Pufferspeicher  $P_1 \dots P_n$  ausgewählt. Dies sei beispielsweise der Pufferspeicher  $P_1$  der Schedulingeinrichtung  $SB_0$ . Die als erstes gespeicherte ATM-Zelle wird nun zur Multiplexeinrichtung MUX übertragen und den weiteren Einrichtungen zugeführt. Gemäß Fig. 1 sind dies der Übertragungsabschnitt E, der dort aufgezeigte ausgangsseitige Multiplexer M sowie die Schnittstellenanpassungseinheiten LIC. Damit werden somit die ATM-Zellen nach WEIGHTED FAIR QUEUEING SCHEDULING-Verfahrens WFQ auf den Multiplexer MUX geleitet (erste Stufe), wo sie einer Begrenzung der Spitzenbitrate unterworfen werden (zweite Stufe). Dabei handelt es sich um die Begrenzung der Spitzenbitrate eines Stromes von ATM-Zellen, der in der Regel eine Mehrzahl von Verbindungen darstellt.

Dieser Mehrzahl wird durch eine Mehrzahl von virtuellen Kanalnummern (VCI) in einem virtuellen Pfad (VPI) Rechnung getragen. Insofern handelt es sich um die Spitzenbitrate der virtuellen Pfade.

In einer weiteren Ausgestaltung der Erfindung werden die Schedulingeinrichtungen gedoppelt ausgeführt. In vorliegendem Ausführungsbeispiel ist dies beispielhaft bei der Schedulingeinrichtung  $SB_0$  durch die parallel dazu angeordnete Scheduling-Einrichtung  $SB'_0$  angedeutet.

In einer weiteren Ausgestaltung der Erfindung werden Real-Time ATM-Zellen RT der Multiplexeinrichtung MUX zugeführt. Dies sind ATM-Zellen, die im Zuge einer Online-Verbindung übertragen werden. Generell gilt, daß diese ATM-Zellen bevorzugt behandelt werden müssen, da sonst Echos auf den Leitungen entstehen. Beim erfindungsgemäßen Verfahren wird diesen Real Time ATM-Zellen RT eine höhere Priorität zugewiesen. Dies bedeutet allerdings nicht, daß die ATM-Zellen in den Pufferspeichern  $P_1 \dots P_n$  solange nicht zum Multiplexer MUX übertragen werden können, solange die Real Time ATM-Zellen RT übertragen werden. Die

Real Time ATM-Zellen RT werden ohne Begrenzung der Spitzenbitrate zur Multiplexeinrichtung MUX übertragen. Damit können die ATM-Zellen RT die in den Schedulingeinrichtungen  $SB_0 \dots SB_{127}$  von der zweiten Stufe des zweistufigen Schedulingverfahrens zu behandelnden ATM-Zellen überholen.

#### Patentansprüche

1. Verfahren zum optimierten Übertragen von ATM-Zellen über Verbindungsabschnitte, mit Multiplexeinrichtungen (MUX) und/oder Demultiplexeinrichtungen (DEMUX,  $D_0 \dots D_{127}$ ) sowie zwischen diesen angeordneten Schedulingeinrichtungen ( $SB_0 \dots SB_{127}$ ), die jeweils Pufferspeicher ( $P_1 \dots P_n$ ) aufweisen, und mit einem Strom von ATM-Zellen, dem eine Mehrzahl von virtuellen Kanalnummern und gegebenenfalls diese zusammenfassenden virtuelle Pfade zugeordnet ist, dadurch gekennzeichnet, daß in einem ersten Verfahrensschritt eine der Schedulingeinrichtungen ( $SB_x$ ) nach Maßgabe eines für die Spitzenbitrate des Stromes von ATM-Zellen repräsentativen Kriteriums ausgewählt und in einem zweiten Verfahrensschritt gegebenenfalls mindestens eine der ATM-Zellen einem der Pufferspeicher ( $P_1 \dots P_n$ ) entnommen und weiteren Einrichtungen zugeführt wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß im zweiten Verfahrensschritt die in den Pufferspeichern ( $P_1 \dots P_n$ ) der Schedulingeinrichtungen ( $SB_0 \dots SB_{127}$ ) gespeicherten ATM-Zellen durch das WEIGHTED FAIR QUEUEING SCHEDULING-Verfahren (WFQ) abgerufen werden.
3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß mit dem ersten Verfahrensschritt eine Spitzenbitratenbegrenzung der zu übertragenden ATM-Zellen des betreffenden Stromes durchgeführt wird, indem den in den Schedulingeinrichtungen ( $SB_0 \dots SB_{127}$ ) gespeicherten ATM-Zellen Faktoren ( $R_0 \dots R_{127}$ ) zugewiesen werden.
4. Verfahren nach Anspruch 1 bis 3, dadurch gekennzeichnet, daß über einen gesonderten, parallel zu den Schedulingeinrichtungen ( $SB_0 \dots SB_{127}$ ) angeordneten Verbindungsabschnitt zusätzlich Real-Time ATM-Zellen (RT) dem Multiplexer (MUX) mit einer höheren Priorisierung zugeführt werden, als die über die Schedulingeinrichtungen ( $SB_0 \dots SB_{127}$ ) übertragenen ATM-Zellen aufweisen.
5. Verfahren nach einem der vorstehenden Ansprüche, dadurch gekennzeichnet, daß die Pufferspeicher ( $P_1 \dots P_{127}$ ) als FIFO-Speicher ausgebildet sind.

Hierzu 3 Seite(n) Zeichnungen

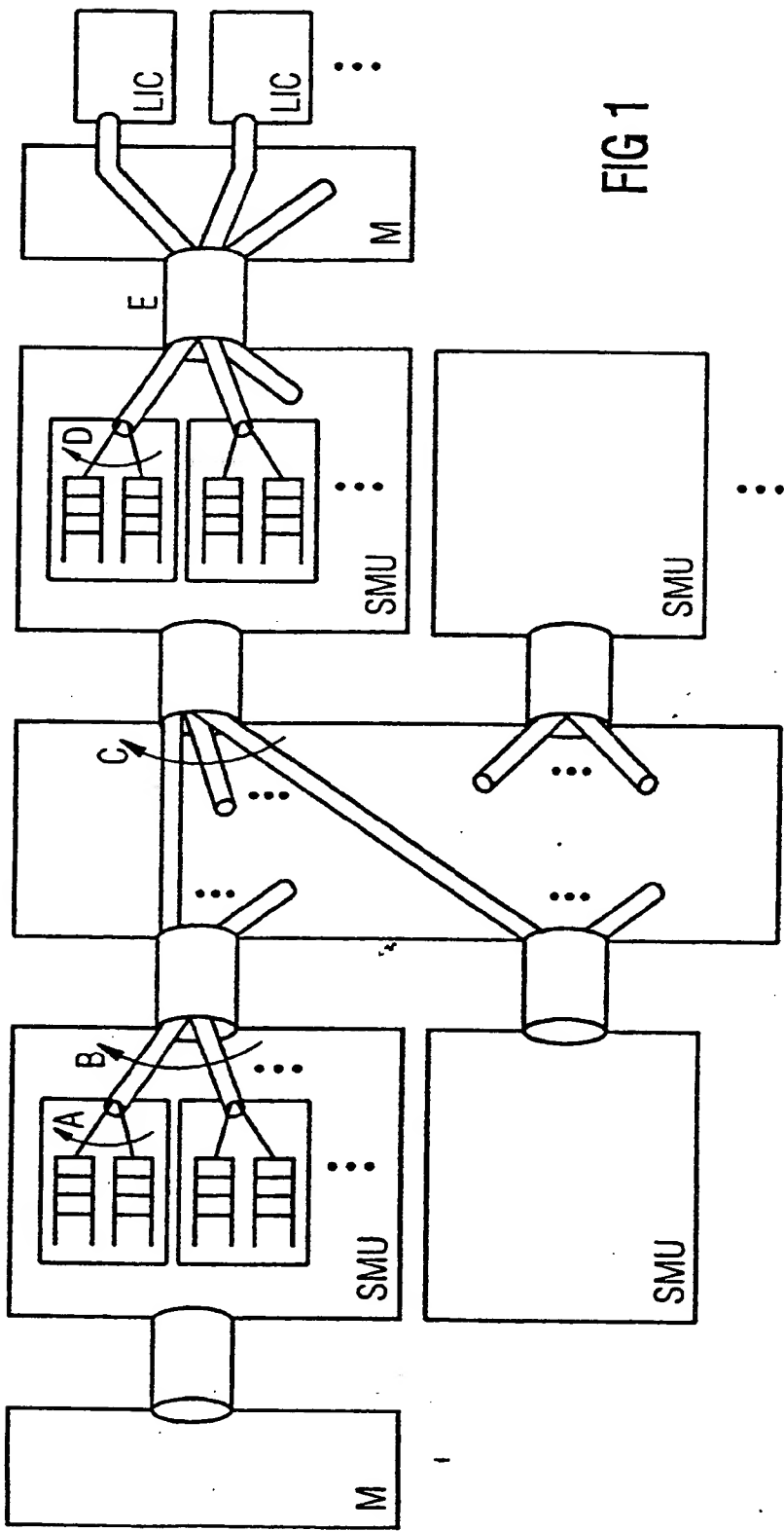


FIG 1



FIG 2

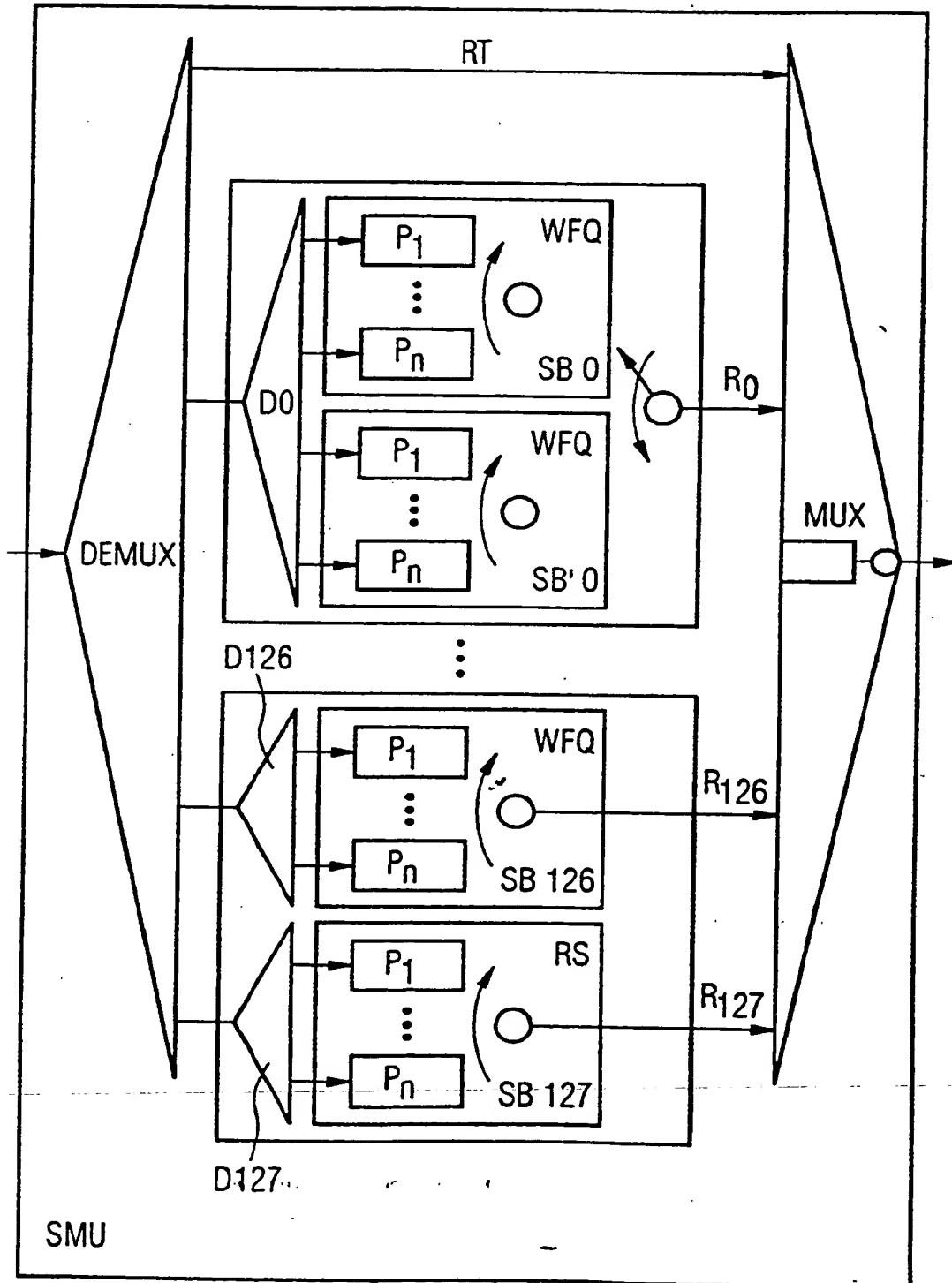


FIG 3

